

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-109913

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

G09G 3/22
H01J 31/12

(21)Application number : 09-270129

(71)Applicant : CANON INC

(22)Date of filing : 02.10.1997

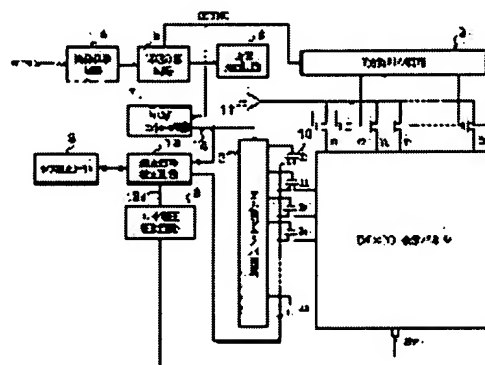
(72)Inventor : KUNO MITSUTOSHI
SUZUKI HIDETOSHI

(54) METHOD AND DEVICE FOR IMAGE FORMING

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image forming method and a device which reproduce, with linearity possessed in emission luminance for a driving signal, by utilizing the nearly linear part of the characteristic of an emission current, one against the applied voltage of a surface conductive emission element, and thereby driving the element.

SOLUTION: The matrix-shaped wiring in the row direction on a display panel 1 is successively selected by an X-direction driver circuit 2, and driven by applying a driving voltage; also, synchronously with this driving of the row direction wiring, a voltage signal is impressed in accordance with an image signal. In a line correction table 8, correction data is stored which is for correcting electron emission characteristic of plural surface conductive emission elements connected to each of the row direction wiring; at the time of driving each row direction wiring, the correction data corresponding to the wiring so driven is read out from the correction table 8, correcting the driving voltage of the row direction wiring.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-109913

(43)公開日 平成11年(1999)4月23日

(51) Int.Cl.⁶

識別記号

FI

G O 9 G 3/22

G 0 9 G 3/22

H0 1 J 31/12

H0 1 J 31/12

C

審査請求 未請求 請求項の数13 OL (全 21 頁)

(21)出願番号 特願平9-270129

(22)出願日 平成9年(1997)10月2日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 久野 光俊

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)發明者 鍾 英俊

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

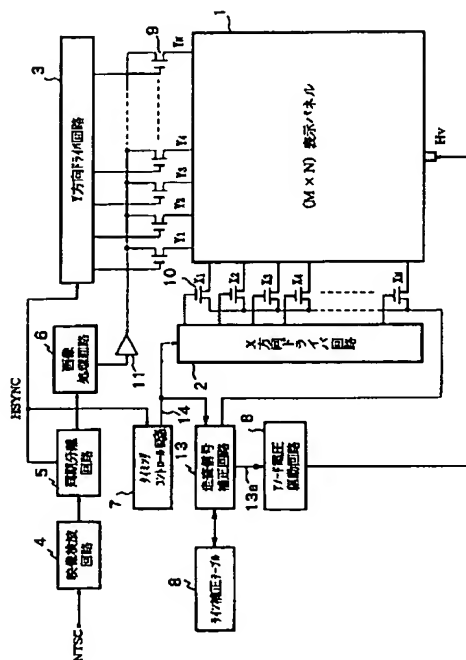
(74) 代理人 弁理士 大塚 康徳 (外2名)

(54) 【発明の名称】 画像形成方法及び装置

(57) 【要約】

【課題】 表面伝導型放出素子の印加電圧に対する放出電流の特性が略線形に近い部分の特性を利用して、表面伝導型放出素子を駆動することにより、駆動信号に対する発光輝度の線形性を有して再生する画像形成方法及び装置を提供する。

【解決手段】 X方向ドライバ回路2により、表示パネル1のマトリクス状に配線した行方向配線を順次選択し、駆動電圧を印加して駆動するとともに、この行方向配線の駆動に同期して画像信号に応じた電圧信号を印加する。ライン補正テーブル12には、行方向配線のそれぞれに接続された複数の表面伝導型放出素子の電子放出特性を補正するための補正データが記憶されており、各行方向配線の駆動時、その補正テーブル12から、その駆動される行方向配線に対応する補正データを読み出して、その行方向配線の駆動電圧を補正する。



【特許請求の範囲】

【請求項 1】 マトリクス状に配線された複数の表面伝導型放出素子から放出される電子により画像を形成する画像形成装置であって、

前記マトリクス状に配線した行方向配線を順次選択し、駆動電圧を印加して駆動する走査駆動手段と、

前記マトリクス状に配線した列方向配線に、前記走査駆動手段による駆動に同期して画像信号に応じた電圧信号を印加する電圧駆動手段と、

前記行方向配線のそれぞれに接続された複数の表面伝導型放出素子の電子放出特性を補正するための補正データを記憶する記憶手段と、

前記走査駆動手段による各行方向配線の駆動時、前記記憶手段から当該駆動される行方向配線に対応する補正データを読み出して前記行方向配線の駆動電圧を補正する補正手段と、を有することを特徴とする画像形成装置。

【請求項 2】 請求項 1 に記載の画像形成装置であって、

前記補正データは、行方向配線のそれぞれに接続された複数の表面伝導型放出素子の電子放出特性を、印加電圧に対する電流値が略線形となるように補正するデータであることを特徴とする。

【請求項 3】 請求項 1 に記載の画像形成装置であって、

前記電圧駆動手段は、画像信号を振幅変調した電圧信号を出力することを特徴とする。

【請求項 4】 請求項 2 に記載の画像形成装置であって、

前記補正データは、行方向配線のそれぞれに接続された複数の表面伝導型放出素子に印加される素子電圧と、当該複数の表面伝導型放出素子から放出される放出電流との関係が略線形になる領域で前記表面伝導型放出素子を駆動するように印加電圧を補正するためのデータであることを特徴とする。

【請求項 5】 マトリクス状に配線された複数の表面伝導型放出素子から放出される電子により画像を形成する画像形成装置であって、

前記マトリクス状に配線した行方向配線を順次選択し、駆動電圧を印加して駆動する走査駆動手段と、

前記マトリクス状に配線した列方向配線に、前記走査駆動手段による駆動に同期して画像信号に応じた電圧信号を印加する電圧駆動手段と、

前記複数の表面伝導型放出素子の電子放出特性を補正するための補正データを記憶する記憶手段と、

前記走査駆動手段による各行方向配線の駆動時、前記記憶手段から当該駆動される行方向配線に接続された表面伝導型放出素子のそれぞれの補正データを読み出して前記電圧駆動手段により印加される電圧信号を補正する補正手段と、を有することを特徴とする画像形成装置。

【請求項 6】 請求項 5 に記載の画像形成装置であっ

て、

前記電圧駆動手段は、画像信号を振幅変調した電圧信号に前記補正データに対応する電圧を加えて出力することを特徴とする。

【請求項 7】 請求項 5 に記載の画像形成装置であって、

前記補正データは、前記複数の表面伝導型放出素子の電子放出特性を、印加電圧に対する電流値が略線形となるように補正するデータであることを特徴とする。

【請求項 8】 請求項 7 に記載の画像形成装置であって、

前記補正データは、前記複数の表面伝導型放出素子における素子に印加される素子電圧と、当該素子から放出される放出電流との関係が略線形になる領域で前記表面伝導型放出素子を駆動するように印加電圧を補正するためのデータであることを特徴とする。

【請求項 9】 マトリクス状に配線された複数の表面伝導型放出素子から放出される電子により画像を形成する画像形成方法であって、

前記マトリクス状に配線した行方向配線を順次選択し、駆動電圧を印加して駆動する走査駆動工程と、

前記マトリクス状に配線した列方向配線に、前記走査駆動手段による駆動に同期して画像信号に応じた電圧信号を印加する電圧駆動工程と、

前記行方向配線のそれぞれに接続された複数の表面伝導型放出素子の電子放出特性を補正するための補正データをメモリに記憶しておき、前記走査駆動工程による各行方向配線の駆動時、前記メモリから当該駆動される行方向配線に対応する補正データを読み出して前記行方向配線の駆動電圧を補正する補正工程と、を有することを特徴とする画像形成方法。

【請求項 10】 マトリクス状に配線された複数の表面伝導型放出素子から放出される電子により画像を形成する画像形成方法であって、

前記マトリクス状に配線した行方向配線を順次選択し、駆動電圧を印加して駆動する走査駆動工程と、

前記マトリクス状に配線した列方向配線に、前記走査駆動手段による駆動に同期して画像信号に応じた電圧信号を印加する電圧駆動工程と、

前記複数の表面伝導型放出素子の電子放出特性を補正するための補正データをメモリに記憶しておき、前記走査駆動工程での各行方向配線の駆動時、前記メモリから当該駆動される行方向配線に接続された表面伝導型放出素子の補正データを読み出して前記電圧駆動工程で印加される電圧信号を補正する補正工程と、を有することを特徴とする画像形成方法。

【請求項 11】 請求項 10 に記載の画像形成方法であって、

前記電圧駆動工程では、画像信号を振幅変調した電圧信号に前記補正データに対応する電圧を加えて出力するこ

とを特徴とする。

【請求項12】 請求項9に記載の画像形成方法であって、前記補正データは、前記複数の表面伝導型放出素子の電子放出特性を、印加電圧に対する電流値が略線形となるように補正するデータであることを特徴とする。

【請求項13】 請求項12に記載の画像形成方法であって、前記補正データは、前記複数の表面伝導型放出素子における素子に印加される素子電圧と、当該素子から放出される放出電流との関係が略線形になる領域で前記表面伝導型放出素子を駆動するように印加電圧を補正するためのデータであることを特徴とする。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の電子放出素子を2次元平面上にマトリクス状に配列した電子源を使用する画像形成方法及び装置に関するものである。

【0002】

【従来の技術】従来から、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、例えば表面伝導型放出素子や、電界放出型素子（以下F E型と記す）や、金属／絶縁層／金属型放出素子（以下M I M型と記す）などが知られている。

【0003】F E型の例としては、例えば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956)や、或は、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976)などが知られている。

【0004】また、M I M型の例としては、例えば、C. A. Mead, "Operation of tunnel-emission Devices", J. Appl. Phys., 32, 646 (1961)などが知られている。

【0005】表面伝導型放出素子としては、例えば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965)や、後述する他の例が知られている。

【0006】表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン(Elinson)等によるS n O₂薄膜を用いたものの他に、A u薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317 (1972)]や、I n₂O₃/S n O₂薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]や、カーボン薄膜によるもの[荒木久他: 真空、第26巻、第1号、22 (1983)]等が報告されている。

【0007】これらの表面伝導型放出素子の素子構成の典型的な例として、図18に前述のM. Hartwellらによる素子の平面図を示す。同図において、3001は基板

で、3004はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜3004は図示のようにH字形の平面形状に形成されている。この導電性薄膜3004に、後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは、0.5～1 [mm]、幅Wは、0.1 [mm]に設定されている。尚、図示の便宜から、電子放出部3005は導電性薄膜3004の中央に矩形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

【0008】M. Hartwellらによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部3005を形成するのが一般的であった。即ち、通電フォーミングとは、前記導電性薄膜3004の両端に一定の直流電圧、もしくは、例えば1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局部的に破壊もしくは変形もしくは変質せしめ、電氣的に高抵抗な状態の電子放出部3005を形成することである。尚、局部的に破壊もしくは変形もしくは変質した導電性薄膜3004の一部には亀裂が発生する。この通電フォーミング後に導電性薄膜3004に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

【0009】例えば、表面伝導型放出素子は、冷陰極素子のなかでも特に構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、例えば本出願人による特開昭64-31332号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0010】また、表面伝導型放出素子の応用については、例えば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

【0011】特に、画像表示装置への応用としては、例えば本出願人によるUSP5,066,883や特開平2-257551号公報や特開平4-28137号公報において開示されているように、表面伝導型放出素子と電子の照射により発光する蛍光体とを組み合わせ用いた画像表示装置が研究されている。表面伝導型放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【0012】発明者らは、上記従来技術に記載したものををはじめとして、さまざまな材料、製法、構造の冷陰極素子を試みてきた。さらに、多数の表面伝導型放出素子を配列したマルチ電子源、ならびにこのマルチ電子源を

応用した画像表示装置について研究を行ってきた。

【0013】本願発明者らは、例えば図19に示す電気的な配線方法によるマルチ電子源を試みてきた。即ち、表面伝導型放出素子を2次元的に多数個配列し、これらの素子を図示のようにマトリクス状に配線したマルチ電子源である。

【0014】図中、4001は表面伝導型放出素子を模式的に示し、4002は行方向配線、4003は列方向配線を示している。行方向配線4002及び列方向配線4003は、実際には有限の電気抵抗を有するものであるが、図においては配線抵抗4004および4005として示されている。上述のような配線方法を単純マトリクス配線と呼ぶ。なお、図示の便宜上、6×6のマトリクスで示しているが、マトリクスの規模はむしろこれに限ったわけではなく、例えば画像表示装置用のマルチ電子源の場合には、所望の画像表示を行うのに足りるだけの素子を配列し配線するものである。

【0015】表面伝導型放出素子を単純マトリクス配線したマルチ電子源においては、所望の電子ビームを出力させるため、行方向配線4002および列方向配線4003に適宜の電気信号を印加する。例えば、マトリクスの中の任意の1行の表面伝導型放出素子を駆動するには、選択する行の行方向配線4002には選択電圧 V_s を印加し、同時に非選択の行の行方向配線4002には非選択電圧 V_{ns} を印加する。これと同期して列方向配線4003に電子を出力するための駆動電圧 V_e を印加する。この方法によれば、配線抵抗4004および4005による電圧降下を無視すれば、選択する行の表面伝導型放出素子には電圧 $(V_e - V_s)$ が印加され、また非選択行の表面伝導型放出素子には電圧 $(V_e - V_{ns})$ が印加される。これら電圧 V_e 、 V_s 、 V_{ns} を適宜の大きさの値にすれば、選択する行の表面伝導型放出素子だけから所望の強度の電子が出力されるはずであり、また列方向配線の各々に異なる駆動電圧 V_e を印加すれば、選択する行の素子の各々から異なる強度の電子が出力されるはずである。また、駆動電圧 V_e を印加する時間の長さを変えれば、電子が出力される時間の長さも変えることができるはずである。ここで、選択時の素子印加電圧 $(V_e - V_s)$ を以下 V_f と呼ぶ。さらに単純マトリクス配線したマルチ電子源から電子を得る別の手法として、列方向配線に駆動電圧 V_e を印加するための電圧源を接続するのではなく、所望の電子を出力するのに必要な電流を供給するための電流源を接続して駆動する方法もある。ここで、電子源に流れる電流を以下素子電流 I_f と呼び、放出される電子量を放出電流 I_e と呼ぶ。

【0016】従って、表面伝導型放出素子を単純マトリクス配線したマルチ電子源はいろいろな応用可能性があり、例えば画像情報に応じた電気信号を適宜印加すれば、画像表示装置用の電子源として好適に用いることができる。

【0017】

【発明が解決しようとする課題】しかしながら、上述した表面伝導型放出素子を単純マトリクス配線したマルチ電子源には、実際には以下に述べるような問題が発生していた。

【0018】放出電流 I_e の特性は、図20に示した電子放出素子に印加される素子電圧 V_f の変化に対して非線形な性質をもつことが知られている。特に、閾値電圧 V_{th} を境にして放出電流が増大するダイオードに似た特性を持ち、この特性は次のような式で表される。

【0019】

$$I_e = a \times (V_f \text{ の 2 乗 }) \times \exp(-b/V_f)$$

ここで、係数 a は、放出電流 I_e が電流を出力し始める V_f の値に起因し、乗数 b は放出電流 I_e の γ 値（非線形に出力された傾きの度合い）に関係する。

【0020】このような特性をもつ電子放出素子に対して、入力した画像信号に電圧振幅変調を行い、その画像信号の輝度の線形性を再現できる γ 補正方法が知られている。例えば、表示させる画像信号の階調レベルを256階調とした場合には、図20に示した電圧 V_s を8ビットで量子化した分解能で、各表面伝導型放出素子に印加する。

【0021】このような素子駆動を行って画像の再現性を高めようとする、図の破線で示した直線状の特性に γ 特性を変換する必要がある。例えば、電圧 V_{s1} を印加したときに素子から得られる実際の放出電流の値は I_{ea1} であるのに対し、 γ 補正をすることにより、破線上の I_e だけ電流値を増大させた素子電流が得られなければならない。これは実際の特性曲線上では、電圧 V_{s1} に相当している。

【0022】又、電圧 V_{s2} の場合には電流 I_{eb} だけ増やし、電圧 V_{s3} に対しては電流 I_{ec} が増大されなければならない。

【0023】又、上述のように表面伝導型放出素子をマトリクス状に配列した場合には、 $M \times N$ 個のすべての素子に対して補正値を備えねばならず、例えば、 240×480 ラインの素子のそれぞれを8ビットの量子化した画像データで γ 補正して駆動すると、この γ 補正用のテーブルのデータとしては約30Mバイトにもなる。更に、画像信号を表示するために変調信号を印加するとき

に電圧 V_f に応じた補正信号をリアルタイムで読み出さなければならない、構成する回路システムが高速になり、又、その規模も大きくならざるをえず、システム全体のコストにも影響してくる。

【0024】本発明は上記従来例に鑑みてなされたもので、表面伝導型放出素子の印加電圧に対する放出電流の特性が略線形に近い部分の特性を利用して、表面伝導型放出素子を駆動することにより、駆動信号に対する発光輝度の線形性を有して再生できる画像形成方法及び装置を提供することを目的とする。

【0025】また本発明の目的は、マトリクス状に配線された表面伝導型放出素子の各行方向配線に対応する複数の表面伝導型放出素子をまとめて補正することにより、各素子に印加する電圧に応じて放出される放出電流の線形性を保持させた画像形成方法及び装置を提供することにある。

【0026】また本発明の他の目的は、マトリクス状に配線された複数の表面伝導型放出素子のそれぞれに対応する補正データに基づいて印加電圧を補正することにより、各素子に印加する電圧に応じて放出される放出電流の線形性を維持させて画像を形成する画像形成方法及び装置を提供することにある。

【0027】

【課題を解決するための手段】上記目的を達成するために本発明の画像形成装置は以下のような構成を備える。即ち、マトリクス状に配線された複数の表面伝導型放出素子から放出される電子により画像を形成する画像形成装置であって、前記マトリクス状に配線した行方向配線を順次選択し、駆動電圧を印加して駆動する走査駆動手段と、前記マトリクス状に配線した列方向配線に、前記走査駆動手段による駆動に同期して画像信号に応じた電圧信号を印加する電圧駆動手段と、前記行方向配線のそれぞれに接続された複数の表面伝導型放出素子の電子放出特性を補正するための補正データを記憶する記憶手段と、前記走査駆動手段による各行方向配線の駆動時、前記記憶手段から当該駆動される行方向配線に対応する補正データを読み出して前記行方向配線の駆動電圧を補正する補正手段とを有することを特徴とする。

【0028】また上記目的を達成するために本発明の画像形成装置は以下のような構成を備える。即ち、マトリクス状に配線された複数の表面伝導型放出素子から放出される電子により画像を形成する画像形成装置であって、前記マトリクス状に配線した行方向配線を順次選択し、駆動電圧を印加して駆動する走査駆動手段と、前記マトリクス状に配線した列方向配線に、前記走査駆動手段による駆動に同期して画像信号に応じた電圧信号を印加する電圧駆動手段と、前記複数の表面伝導型放出素子の電子放出特性を補正するための補正データを記憶する記憶手段と、前記走査駆動手段による各行方向配線の駆動時、前記記憶手段から当該駆動される行方向配線に接続された表面伝導型放出素子の補正データを読み出して前記電圧駆動手段により印加される電圧信号を補正する補正手段とを有することを特徴とする。

【0029】また上記目的を達成するために本発明の画像形成方法は以下のような工程を備える。即ち、マトリクス状に配線された複数の表面伝導型放出素子から放出される電子により画像を形成する画像形成方法であって、前記マトリクス状に配線した行方向配線を順次選択し、駆動電圧を印加して駆動する走査駆動工程と、前記マトリクス状に配線した列方向配線に、前記走査駆動手

段による駆動に同期して画像信号に応じた電圧信号を印加する電圧駆動工程と、前記行方向配線のそれぞれに接続された複数の表面伝導型放出素子の電子放出特性を補正するための補正データをメモリに記憶しておき、前記走査駆動工程による各行方向配線の駆動時、前記メモリから当該駆動される行方向配線に対応する補正データを読み出して前記行方向配線の駆動電圧を補正する補正工程とを有することを特徴とする。

【0030】

【発明の実施の形態】以下、本発明の実施の形態を説明する前に本実施の形態の概要を説明する。

【0031】図1は、本発明の実施の形態における γ 補正を説明するための図で、放出電流 I_e は、 V_{th} （素子電圧 V_f に対して放出電流 I_e が出力される電圧値）を境に、その値が増大する。しかしながら、前述した様に、この放出電流の特性は素子電圧に対して非直線性を有しているため、閾値電圧 V_{th} から電圧 ΔV_c だけ増大する域内での放出電流特性は特に非線形となっている。

【0032】図1において、表示される画素の輝度が安定する領域は、図の V_c で示した電圧範囲であり、放出電流 I_e でみると、電流値 I_{e1} よりも大きい電流範囲 I_{e2} であることがわかる。従って、電圧による振幅変調を行い、輝度の線形性の向上とその補償をとるために、電圧 ΔV_c を補償した後の、電圧域 V_c で示される電位幅で行なう。

【0033】図1では、直線部分に相当する所の特性に対して破線で示し、実際の特性と比較してもその差が少ないことが確認できる。又、各素子ごとに放出電流 I_e の特性がばらついているのが現実である。そのため、線形性の高い部分の特性を利用しようとしたとき、その補償電圧 ΔV_c も当然のことながら素子ごとに異なってくる。そこで、各素子ごと、もしくは駆動ライン毎に補正電圧 ΔV_c を加え、線形性の高い領域で画像表示ができるような補正手段を備えている。この補正手段は、後述の実施の形態で説明するが、各素子の放出電流 I_e より求められる電圧 ΔV_c の値をメモリに記憶し、そのデータに基づいて補正を行う。

【0034】以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【0035】【実施の形態1】図2は、本発明の実施の形態1における画像ディスプレイ装置の構成を示すブロック図である。

【0036】図2において、1は表示パネルを示し、本実施の形態の表面伝導型放出素子が $M \times N$ 個、単純マトリクス配線されている。表示パネル1は、画像表示用として使用され、例えば、通常のTV映像を表示したり、コンピュータ端末、モニタ等にも使用可能である。本実施の形態では、NTSC信号に基づく映像を表示しており、マトリクス配線での線数は、通常のTV画像の走査線数に対応してもよく、高精細な表示を行うとすればマ

トリクスの配線を増やすことで可能となる。

【0037】2はX方向ドライバ回路で、表示パネル1の行方向端子X1〜XMを介して行方向配線側を順次駆動する。本実施の形態では、線順次による表示を行っているため、X方向ドライバ回路2により時分割に行方向の配線が1本ずつ選択され、その選択された走査線がトランジスタ10により駆動される。

【0038】同様に表示パネル1の列方向配線は、列方向端子Y1〜YNを介して駆動される。NTSC信号等の映像信号は映像検波回路4に入力されて、水平、垂直信号に分離され、カラー信号の場合はR、G、Bの3原色のそれぞれに分離される。同期分離回路5は、映像検波回路4からの信号を入力し、水平同期信号(HSYNC)、垂直同期信号(VSYNC)及び映像信号とに分離している。この内、映像信号は、水平同期信号(HSYNC)に同期して出力され、画像処理回路6に入力される。画像処理回路6では、表示パネル1に表示するための駆動信号を生成しており、入力される映像信号の電圧レベルに対応した振幅変調信号を生成し、アンプ11を通して列方向配線に接続されたトランジスタ(FETでも可)9のコレクタ側に入力している。尚、本実施の形態1では、システムの構成を分かり易くするために、映像信号が1系統のみで示されているが、カラー表示を行う場合には、R、G、Bの各色の映像信号が出力される事はいうまでもない。

【0039】HSYNCの信号に同期してY方向ドライバ回路3から各トランジスタ9のベースに入力された信号によりこれらトランジスタ9がオンされると、各トランジスタ9のコレクタに入力されている映像信号が表示パネル1に印加される。従って、表示パネル1の列方向配線には、HSYNCに同期してNTSCの映像信号から変調された変調信号が入力されることになる。

【0040】一方、行方向配線には同期分離回路5から得られた水平同期信号をもとに、表示パネル1の行方向配線を線順次するための走査信号を発生するタイミング信号14がタイミングコントロール回路7から出力される。このタイミング信号14はX方向ドライバ回路2に入力され、X方向ドライバ回路2は、列方向配線側のY方向ドライバ回路3からの出力と逐次同期をとって、行方向側トランジスタ10のベースを順次駆動する。

【0041】また、この表示パネル1は、表面伝導型放出素子に印加された信号で発生する電子ビームを、画素を表示する発光手段である蛍光体方向に加速するためのアノード電圧駆動回路8が設けられている。これにより、映像信号に対応した電子ビームを表示パネル1の上面に設けられた蛍光体に衝突させて発光させることができる。尚、このアノード電圧駆動回路8には、走査信号補正回路13からの信号13aが入力されており、例えば、補正信号が大きな値であり、表示パネル1に表示される輝度が高くなりすぎると判断すると、この信号13

aによりアノード電圧を下げるように指示する。これにより、補正信号を印加することにより表示パネル1に表示される輝度が必要以上に高くなるのを防止できる。

【0042】次に、本実施の形態の特徴部分を説明する。

【0043】表示パネル1を線順次で駆動するに先立って、各行方向配線に接続された表面伝導型放出素子の素子特性を計測しておく。そして、素子電圧V_fに対する放出電流I_eから求められる補正信号ΔV_cを、各行方向配線の補正データとしてライン補正テーブル12に補正データとして記憶しておく。

【0044】本実施の形態1では、各ラインの補正信号ΔV_cを計測する具体的な方法は特に明示しないが、例えば、列方向配線を全て接地し、行方向配線に直列に、電流計測用の抵抗値が既知の抵抗を挿入し、その行方向配線に所定の電圧V_fを印加した場合に、その行方向配線を流れる電流I_fを、その抵抗の両端の電圧に基づいて求めることができる。又、放出電流I_eもアイソレーションアンプ等を使用して、素子電流I_fと同様な方法で計測が可能となるため、補正信号ΔV_cの値も求めることができる。

【0045】ここで、従来の表示パネルの駆動方法を述べておくと、通常の表示パネルの各素子に印加する電圧は、行方向配線には電圧(V_f/2)を印加し、列方向配線には電圧変調された電圧信号として0Vから(V_f/2)Vの電圧が印加される。従って、各素子に印加される最大電圧はV_fとなり、その値は素子によって異なるが、約14Vである。

【0046】図1における素子の閾値電圧V_{th}は、その電圧を印加した時に、その素子に素子電流I_eが流れ始めて電子ビームが出力され始める電圧を示している。通常、この閾値電圧V_{th}は、電圧(V_f/2)に相当している。本実施の形態においても、素子電圧V_fは約14Vであり、閾値電圧V_{th}は約7Vであった。

【0047】次に、表示パネル1の駆動方法について説明する。

【0048】図3は、表示パネル1を表示するために、まず行方向配線側には電圧(-V_f/2)に相当する-7Vが印加され、NTSCの駆動に対応するために、逐次、線順次で1からM本までを16.7m秒周期で駆動している。又、列方向配線は、1からN本までを走査信号に同期して、電圧V_{s1}から電圧V_{sN}までの変調信号が印加される。この変調信号の振幅特性は、図1に示す様に、電圧領域V_cに相当し、電圧(V_f/2)から補正信号ΔVを差し引いた値となっている。

【0049】実際は、各行方向配線に接続された表面伝導型放出素子の特性が異なるため、電圧領域V_cの値は厳密には同じではないが、この振幅電圧は、前述したように素子電流I_eの特性における直線部分に近い線形性の良好な領域を使用している。このため、振幅の変化に

対して輝度変化の線形性も良好となっている。又、本実施の形態1では、電圧領域Vcにおける量子化ビット数を4ビットとし、16階調の分解能で輝度変化をつけた。

【0050】この量子化は、分解能を向上させて輝度の階調性を上げるならば、4ビット以上のビット数で行なうことが可能であるが、本実施の形態の主旨から考慮すれば必要以上に階調数をあげる必要もなく、実際に表示した画像を検証しても人間の目により識別できる階調の分解能はそれほど高くない。従って、本実施の形態では、簡易な表示パネル1を提供するために4ビットとしている。

【0051】更に、本実施の形態1では、上記補正信号 ΔVc を行方向配線に印加することで補正を行っている。具体的に述べると、各行方向配線を逐次駆動する際、走査信号補正回路13は、その走査する行方向配線に対応して、ライン補正テーブル12から補正信号 ΔVc を読み出し、電圧 $(-Vf/2)$ に、その読み出した補正信号 ΔVc を加えて行方向配線を駆動している。

【0052】例えば、図3の例では、行方向配線S1には、電圧 $(-Vf/2)$ に補正信号 $\Delta Vc-S1$ が加算され、行方向配線S2では電圧 $(-Vf/2)$ に補正信号 $\Delta Vc-S2$ が加算されるという様に、各ラインごとに異なる補正信号が $(-Vf/2)$ に加算されている。このようにして、その走査される行方向配線の選択された素子に印加される信号は、列方向配線には画像信号に応じた振幅変調信号 $Vs1 \sim VsN$ が印加され、行方向配線には $[-Vf/2 + \Delta Vc]$ が印加されることになる。

【0053】本実施の形態1では、補正信号 ΔVc は、各行方向配線毎に異なってばらつくものの、約0.5Vから1.0Vの範囲であった。又、そのときの変調電圧 ΔVs は約6Vであった。

【0054】以上説明したように本実施の形態1によれば、行方向配線に対応する補正データを記憶したテーブルを使用し、その補正データにより行単位での補正を行うようにしたので、装置全体の規模も縮小でき、また特別に高速なハードウェアも必要なくなった。又、表示される画素の輝度特性も線形性を有しており、高品位の画像が得られるという効果もある。

【0055】〔実施の形態2〕次に、本発明の実施の形態2を詳細に説明する。

【0056】図4は、本実施の形態2での画像表示装置の構成を示したブロック図で、基本的には前述の実施の形態1の構成と同じであり、図1と共通する部分は同じ番号で示し、その説明を省略する。

【0057】この実施の形態2では、前述の実施の形態1で行方向配線に対して補正信号 ΔVc を印加していたのに対して、この実施の形態2では、列方向配線に印加する振幅変調信号に補正信号を印加することを特徴としている。

【0058】この場合には、行方向配線には、X方向ドライバ回路2により、通常の線順次駆動で、 $-(Vf/2)$ の電圧（本実施の形態では7Vを印加）を逐次16.7 μ s周期で印加していく。これに対して、列方向配線には、処理済みの画像信号から得られた変調信号に加える、新たに表示パネル1の全素子に対応する補正信号 ΔVc を、それぞれ素子補正テーブル16に補正データとして記憶しておく。この補正データは、前述の実施の形態1と同様に、表示パネル1の各素子に素子電圧Vfを印加した際の放出電流Ieに基づいて求めることができる。

【0059】この補正信号 ΔVc に基づいて補正された画像信号は、画像信号補正回路15からトランジスタ9のコレクタに出力され、Y方向ドライバ回路3から出力される駆動信号により表示パネル1の列方向配線に印加される。また、この実施の形態2においても、画像信号補正回路15による補正により輝度が必要以上に高くなると判断されると、アノード電圧駆動回路8により表示パネル1に印加するアノード電圧を低下させることにより、表示される画像の輝度が高くなりすぎるのを防止できるようにしている。

【0060】この実施の形態2における動作タイミング例を図5に示す。

【0061】図5において、列方向配線には、走査信号S1からSMと同期して（変調信号+補正信号）からなる電圧信号Vs1 \sim VsNが印加されており、ある任意の行方向配線に接続された各素子のそれぞれを駆動する補正信号電圧が $\Delta Vc1 \sim \Delta VcN$ で示されている。この場合、変調信号は図1に示したVcの電圧幅で、画像信号に対応した量子化された電圧変調信号として印加される。

【0062】本実施の形態2においても、電圧振幅される量子化のビット数を4ビットとした。

【0063】又、補正信号は、選択された各素子に対応した補正信号 ΔVc として、素子補正テーブル14から得られる補正データに基づいて画像信号補正回路15から出力されている。

【0064】以上説明したように実施の形態2によれば、列方向配線に各素子に対応した補正信号を加えることで、各素子の特性に対応した表示駆動を行なうことができる。また実施の形態1と同様に、放出電流Ieの特性が比較的、線形性を有する領域で変調をかけているため、画素の表示も同じく良好な線形性が得られた。

【0065】又、各素子に対して補正信号 ΔVc のばらつきがあるため、補正信号の電圧幅も0.5Vから1.0Vの範囲であり、補正信号Vcの電圧も約6Vであった。

【0066】この実施の形態2では、表示パネル1の各素子の補正データを有しているため、前述の実施の形態1と比べてメモリ量が増加する傾向があるが、表示パネルの全ての素子のそれぞれに対して、その特徴にあった

補正ができるため、各画素ごとの発光輝度の線形性を、前述の実施の形態1より向上させることが期待できる。
 <本実施の形態の表面伝導型放出素子の製法及び用途説明>図6は、本実施の形態の表示パネル1000（前述の表示パネル1に相当）の外観斜視図であり、その内部構造を示すために表示パネル1000の1部を切り欠いて示している。

【0067】図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空中に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、400℃～500℃で10分以上焼成することにより封着を達成した。気密容器内部を真空中に排気する方法については後述する。

【0068】リアプレート1005には、基板1001が固定されているが、この基板1001上には表面伝導型放出素子1002がN×M個形成されている（ここでN、Mは2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、N=3000、M=1000以上の数を設定することが望ましい。本実施の形態においては、N=3072、M=1024とした）。前記N×M個の表面伝導型放出素子1002は、M本の行方向配線1003とN本の列方向配線1004により単純マトリクス配線されている。前記1001～1004によって構成される部分をマルチ電子源と呼ぶ。なお、マルチ電子源の製造方法や構造については、後で詳しく述べる。

【0069】本実施の形態においては、気密容器のリアプレート1005にマルチ電子源の基板1001を固定する構成としたが、マルチ電子源の基板1001が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板1001自体を用いてもよい。

【0070】また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施の形態の表示パネル1000はカラー表示用であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤

（R）、緑（G）、青（B）の3原色の蛍光体が塗り分けられている。各色の蛍光体は、たとえば図7（A）に示すようにストライプ状に塗り分けられ、各色の蛍光体のストライプの間には黒色の導電体1010が設けられている。この黒色の導電体1010を設ける目的は、電子の照射位置に多少のずれがあっても表示色にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、更には電子による蛍光膜のチャージアップを防止するためなどである。黒色の導電体

1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

【0071】また、3原色の蛍光体の塗り分け方は図7（A）に示したストライプ状の配列に限られるものではなく、たとえば図7（B）に示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜1008に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0072】また、蛍光膜1008のリアプレート側の面には、CRTの分野では公知のメタルバック1009を設けてある。このメタルバック1009を設けた目的は、蛍光膜1008が発する光の一部を鏡面反射して光利用率を向上させるため、負イオンの衝突から蛍光膜1008を保護するため、電子加速電圧を印加するための電極として作用させるため、蛍光膜1008を励起した電子の導電路として作用させるためなどである。このメタルバック1009は、蛍光膜1008をフェースプレート基板1007上に形成した後、蛍光膜表面を平滑化処理し、その上にアルミニウムを真空蒸着する方法により形成した。なお、蛍光膜1008に低電圧用の蛍光体材料を用いた場合には、メタルバック1009は用いない。

【0073】また、本実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板1007と蛍光膜1008との間に、例えばITOを材料とする透明電極を設けてもよい。

【0074】また、Dx1～DxmおよびDy1～DymおよびHvは、当該表示パネル1000と不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。Dx1～Dxmはマルチ電子源の行方向配線1003と、Dy1～Dymはマルチ電子源の列方向配線1004と、Hvはフェースプレートのメタルバック1009とそれぞれ電氣的に接続している。

【0075】また、気密容器内部を真空中に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を10のマイナス7乗[torr]程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、たとえばBaを主成分とするゲッター材料をヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は1×10マイナス5乗ないしは1×10マイナス7乗[torr]の真空度に維持される。

【0076】以上、本発明の実施の形態の表示パネル1000の基本構成と製法を説明した。

【0077】次に、この実施の形態の表示パネル1000に用いたマルチ電子源の製造方法について説明する。本実施の形態の画像表示装置に用いるマルチ電子源は、表面伝導型放出素子を単純マトリクス配線した電子源であれば、表面伝導型放出素子の材料や形状あるいは製法に制限はない。しかしながら、本願発明者らは、表面伝導型放出素子の中では、電子放出部もしくはその周辺部を微粒子膜から形成したものが電子放出特性に優れ、しかも製造が容易に行えることを見出している。したがって、高輝度で大画面の画像表示装置のマルチ電子源に用いるには、最も好適であると言える。そこで、上記実施の形態の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

【0078】（表面伝導型放出素子の好適な素子構成と製法）電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

【0079】（平面型の表面伝導型放出素子）まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。図8に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図（A）および断面図（B）である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。

【0080】基板1101としては、たとえば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上に、例えばSiO₂を材料とする絶縁層を積層した基板などを用いることができる。

【0081】また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。たとえば、Ni、Cr、Au、Mo、W、Pt、Ti、Cu、Pd、Ag等をはじめとする金属、あるいはこれらの金属の合金、あるいはIn₂O₃-SnO₂をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、たとえば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターンニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（たとえば印刷技術）を用いて形成してもさしつかえない。

【0082】素子電極1102と1103の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔は通常は数百オングストロームから数百マイクロメートルの範囲から適当な数値を選んで

設計されるが、なかでも表示装置に応用するために好ましいのは数マイクロメートルより数十マイクロメートルの範囲である。また、素子電極の厚さdについては、通常は数百オングストロームから数百マイクロメートルの範囲から適当な数値が選ばれる。

【0083】また、導電性薄膜1104の部分には微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

【0084】微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、中でも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極1102或は1103と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは10オングストロームから500オングストロームの間である。

【0085】また、微粒子膜を形成するのに用いられる材料としては、たとえば、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pbなどをはじめとする金属や、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃などをはじめとする酸化物や、HfB₂、ZrB₂、LaB₆、CeB₆、YB₄、GdB₄などをはじめとする硼化物や、TiC、ZrC、HfC、TaC、SiC、WCなどをはじめとする炭化物や、TiN、ZrN、HfN、などをはじめとする窒化物や、Si、Ge、などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

【0086】以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗[オーム/□]の範囲に含まれるよう設定した。

【0087】なお、導電性薄膜1104と素子電極1102および1103とは、電気的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図8の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

【0088】また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気

的には周囲の導電性薄膜よりも高抵抗な性質を有している。この亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図8においては模式的に示した。

【0089】また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0090】薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500 [オングストローム] 以下とするが、300 [オングストローム] 以下とするのがさらに好ましい。なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図8においては模式的に示した。また、平面図(A)においては、薄膜1113の一部を除去した素子を図示した。

【0091】以上、好ましい素子の基本構成を述べたが、実施の形態においては以下のような素子を用いた。すなわち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000 [オングストローム]、電極間隔Lは2 [マイクロメータ]とした。

【0092】微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100 [オングストローム]、幅Wは100 [マイクロメータ]とした。

【0093】次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。図9(a)~(d)は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は前記図8と同一である。

【0094】(1) まず、図9(a)に示すように、基板1101上に素子電極1102および1103を形成する。これら電極を形成するにあたっては、予め基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる(堆積する方法としては、たとえば、蒸着法やスパッタ法などの真空成膜技術を用いればよい)。その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターニングし、(a)に示した一对の素子電極(1102と1103)を形成する。

【0095】(2) 次に、同図(b)に示すように、導電性薄膜1104を形成する。この導電性薄膜1104を形成するにあたっては、まず前記(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素と

する有機金属化合物の溶液である(具体的には、本実施の形態では主要元素としてPdを用いた。また、実施の形態では塗布方法として、ディッピング法を用いたが、それ以外のたとえばスピナー法やスプレー法を用いてもよい)。

【0096】また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施の形態で用いた有機金属溶液の塗布による方法以外の、たとえば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0097】(3) 次に、同図(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

【0098】この通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分(即ち、電子放出部1105)においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

【0099】通電方法をより詳しく説明するために、図10に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施の形態の場合には同図に示したようにパルス幅T1の三角波パルスをパルス間隔T2で連続的に印加した。その際には、三角波パルスの波高値Vpfを、順次昇圧した。また、電子放出部1105の形成状況をモニタするためのモニタパルスPmを適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した。

【0100】実施の形態においては、例えば10のマイナス5乗[torr]程度の真空雰囲気下において、例えばパルス幅T1を1 [ミリ秒]、パルス間隔T2を10 [ミリ秒]とし、波高値Vpfを1パルスごとに0.1 [V]ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りで、モニタパルスPmを挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧Vpmは0.1 [V]に設定した。そして、素子電極1102と1103の間の電気抵抗が1×10の6乗[オーム]になった段階、すなわちモニタパルス印加時に電流計1111で計測される電流が1×10のマイナス7乗[A]以下になった段階で、フォーミング処理にかかわる通電を終了した。

【0101】なお、上記の方法は、本実施例の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子

膜の材料や膜厚、あるいは素子電極間隔など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0102】(4)次に、図9(d)に示すように、活性化用電源1112から素子電極1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。この通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部1105に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。

(図においては、炭素もしくは炭素化合物よりなる堆積物を部材1113として模式的に示した)。なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には100倍以上に増加させることができる。

【0103】具体的には、10のマイナス4乗ないし10のマイナス5乗[torr]の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれか、もしくはその混合物であり、膜厚は500[オングストローム]以下、より好ましくは300[オングストローム]以下である。

【0104】通電方法をより詳しく説明するために、図11(a)に、活性化用電源1112から印加する適宜の電圧波形の一例を示す。本実施の形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧 V_{ac} は14

[V]、パルス幅 T_3 は、1[ミリ秒]、パルス間隔 T_4 は10[ミリ秒]とした。なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0105】図9(d)に示す1114は、該表面伝導型放出素子から放出される放出電流 I_e を捕捉するためのアノード電極で、直流高電圧電源1115および電流計1116が接続されている。(なお、基板1101を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極1114として用いる)。活性化用電源1112から電圧を印加する間、電流計1116で放出電流 I_e を計測して通電活性化処理の進行状況をモニタし、活性化用電源1112の動作を制御する。電流計1116で計測された放出電流 I_e の一例を図11(b)に示す。活性化電源1112からパルス電圧を印加しはじめると、時間の経過とともに放出電流 I_e は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流 I_e がほぼ飽和した時点で活性化用電源1112からの電圧印加を停止し、通電活性化処理を終了する。

【0106】なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0107】以上のようにして、図9(e)に示す平面型の表面伝導型放出素子を製造した。

【0108】(垂直型の表面伝導型放出素子)次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型放出素子の構成について説明する。

【0109】図12は、本実施の形態の垂直型の表面伝導型放出素子の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜、である。

【0110】垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。したがって、前記図8の平面型における素子電極間隔 L は、垂直型においては段差形成部材1206の段差高さ L_s として設定される。なお、基板1201、素子電極1202および1203、微粒子膜を用いた導電性薄膜1204、については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、たとえば SiO_2 のような電気的に絶縁性の材料を用いる。

【0111】次に、垂直型の表面伝導型放出素子の製法について説明する。図13(a)～(f)は、製造工程を説明するための断面図で、各部材の表記は前記図12と同一である。

【0112】(1)まず、図13(a)に示すように、基板1201上に素子電極1203を形成する。

【0113】(2)次に、同図(b)に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、たとえば SiO_2 をスパッタ法で積層すればよいが、たとえば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0114】(3)次に、同図(c)に示すように、絶縁層の上に素子電極1202を形成する。

【0115】(4)次に、同図(d)に示すように、絶縁層の一部を、たとえばエッチング法を用いて除去し、素子電極1203を露出させる。

【0116】(5)次に、同図(e)に示すように、微粒子膜を用いた導電性薄膜1204を形成する。形成するには、前記平面型の場合と同じく、たとえば塗布法などの成膜技術を用いればよい。

【0117】(6)次に、前記平面型の場合と同じく、通

電フォーミング処理を行い、電子放出部を形成する(図9(c)を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい)。

【0118】(7)次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる(図9(d)を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい)。

【0119】以上のようにして、図13(f)に示す垂直型の表面伝導型放出素子を製造した。

【0120】(表示装置に用いた表面伝導型放出素子の特性)以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0121】図14に、本実施の形態の表示装置に用いた素子の(放出電流 I_e 対(素子印加電圧 V_f 特性、および(素子電流 I_f 対(素子印加電圧 V_f 特性の典型的な例を示す。なお、放出電流 I_e は素子電流 I_f に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

【0122】表示装置に用いた素子は、放出電流 I_e に関して以下に述べる3つの特性を有している。

【0123】第一に、ある電圧(これを閾値電圧 V_{th} と呼ぶ)以上の大きさの電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。すなわち、放出電流 I_e に関して、明確な閾値電圧 V_{th} を持った非線形素子である。

【0124】第二に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f で放出電流 I_e の大きさを制御できる。

【0125】第三に、素子に印加する電圧 V_f に対して素子から放出される電流 I_e の応答速度が速いため、電圧 V_f を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0126】以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。たとえば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【0127】また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、諧調表示を行うことが可能である。

【0128】(多数素子を単純マトリクス配線したマル

チ電子源の構造)次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子源の構造について述べる。

【0129】図15に示すのは、前記図6の表示パネル1000に用いたマルチ電子源の平面図である。基板1001上には、前記図8で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004により単純マトリクス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

【0130】図15のA-A'に沿った断面を図16に示す。

【0131】なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線電極1003、列方向配線電極1004、電極間絶縁層(不図示)、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1003および列方向配線電極1004を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

【0132】図17は、前記説明の表面伝導型放出素子を電子源として用いたディスプレイパネルに、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した多機能表示装置の一例を示すための図である。図中、1000は前述したディスプレイパネル、2101はディスプレイパネルの駆動回路、2102はディスプレイコントローラ、2103はマルチプレクサ、2104はデコーダ、2105は入出力インターフェース回路、2106はCPU、2107は画像生成回路、2108および2109および2110は画像メモリインターフェース回路、2111は画像入力インターフェース回路、2112および2113はTV信号受信回路、2114は入力部である。

【0133】(なお、本表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカなどについては説明を省略する。)以下、画像信号の流れに沿って各部の機能を説明してゆく。

【0134】まず、TV信号受信回路2113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるのではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号(例えばMUSE方式をはじめとするいわゆる高品位TV)は、大面積化や大画素数化に適

した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコーダ2104に出力される。

【0135】また、TV信号受信回路2112は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路2113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ2104に出力される。

【0136】また、画像入力インターフェース回路2111は、例えばTVカメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

【0137】また、画像メモリインターフェース回路2110は、ビデオテープレコーダ（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

【0138】また、画像メモリインターフェース回路2109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

【0139】また、画像メモリインターフェース回路2108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ2104に出力される。

【0140】また、入出力インターフェース回路2105は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字データ・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU2106と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0141】また、画像生成回路2107は、前記入出力インターフェース回路2105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU2106より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読みだし専用メモリや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。本回路により生成された表示用画像データは、デコーダ2104に出力されるが、場合によっては前記入出力インターフェース回路2105を介して外部のコンピュータネットワークやプリンタ入出力することも可能である。

【0142】また、CPU2106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0143】例えば、マルチプレクサ2103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ2102に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。

【0144】また、前記画像生成回路2107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路2105を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

【0145】なお、CPU2106は、むしろこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。

【0146】あるいは、前述したように入出力インターフェース回路2105を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行っても良い。

【0147】また、入力部2114は、前記CPU2106に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0148】また、デコーダ2104は、前記2107ないし2113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ2104は内部に画像メモリを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、あるいは前記画像生成回路2107およびCPU2106と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0149】また、マルチプレクサ2103は、前記CPU2106より入力される制御信号に基づき表示画像を適宜選択するものである。すなわち、マルチプレクサ2103はデコーダ2104から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路2101に出力する。その場合には、一画面表示時間

内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0150】また、ディスプレイパネルコントローラ2102は、前記CPU2106より入力される制御信号に基づき駆動回路2101の動作を制御するための回路である。

【0151】まず、ディスプレイパネルの基本的な動作にかかわるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路2101に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路2101に対して出力する。

【0152】また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路2101に対して出力する場合もある。

【0153】また、駆動回路2101は、ディスプレイパネル1000に印加する駆動信号を発生するための回路であり、前記マルチプレクサ2103から入力される画像信号と、前記ディスプレイパネルコントローラ2102より入力される制御信号に基づいて動作するものである。

【0154】以上、各部の機能を説明したが、図17に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル1000に表示する事が可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ2104において逆変換された後、マルチプレクサ2103において適宜選択され、駆動回路2101に入力される。一方、ディスプレイコントローラ2102は、表示する画像信号に応じて駆動回路2101の動作を制御するための制御信号を発生する。駆動回路2101は、上記画像信号と制御信号に基づいてディスプレイパネル1000に駆動信号を印加する。これにより、ディスプレイパネル1000において画像が表示される。これらの一連の動作は、CPU2106により統括的に制御される。

【0155】また、本表示装置においては、前記デコーダ2104に内蔵する画像メモリや、画像生成回路2107およびCPU2106が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様

に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。

【0156】したがって、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備える事が可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0157】なお、上記図17は、表面伝導型放出素子を電子源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものではない事は言うまでもない。例えば、図17の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0158】本表示装置においては、とりわけ表面伝導型放出素子を電子源とするディスプレイパネルが容易に薄形化できるため、表示装置全体の奥行きを小さくすることが可能である。それに加えて、表面伝導型放出素子を電子源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感あふれ迫力に富んだ画像を視認性良く表示する事が可能である。

【0159】以上説明したように本実施の形態によれば、画像表示装置の平均輝度をある基準値以下に抑制することが出来、画像表示装置の消費電力や蛍光板での発熱を抑えることができる。

【0160】以上説明したように本実施の形態によれば、非線形な特性をもつ表面伝導型放出素子の放出電流において、各素子ごと及び各行方向配線側での放出電流特性から得られる V_{th} 以上の非線形な部分に相当する電圧を駆動時に補正電圧として用いて制御し、電圧振幅変調による階調表示を行う際には、素子特性のほばリニアな部分を使って変調を行うことで輝度のリニアリティが向上することができた。

【0161】又、その補正回路構成も一般的な γ 補正を行うためのシステムから比較して簡易な形体であり、高速処理を伴う制御や、コストを考慮した点においてメリットがあった。

【0162】

【発明の効果】以上説明したように本発明によれば、表面伝導型放出素子の印加電圧に対する放出電流の特性が略線形に近い部分の特性を利用して、表面伝導型放出素子を駆動することにより、駆動信号に対する発光輝度の線形性を有して再生できるという効果がある。

【0163】また本発明によれば、マトリクス状に配線された表面伝導型放出素子の各行方向配線に対応する複

数の表面伝導型放出素子をまとめて補正することにより、各素子に印加する電圧に応じて放出される放出電流の線形性を保持しつつ画像を形成できるという効果がある。

【0164】また本発明によれば、マトリクス状に配線された複数の表面伝導型放出素子のそれぞれに対応する補正データに基づいて印加電圧を補正することにより、各素子に印加する電圧に応じて放出される放出電流の線形性を維持させて画像を形成できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態の表面伝導型放出素子の特性例を示す図である。

【図2】本発明の実施の形態1の画像表示装置の構成を示すブロック図である。

【図3】本実施の形態1の画像表示装置における動作タイミングを示すタイミング図である。

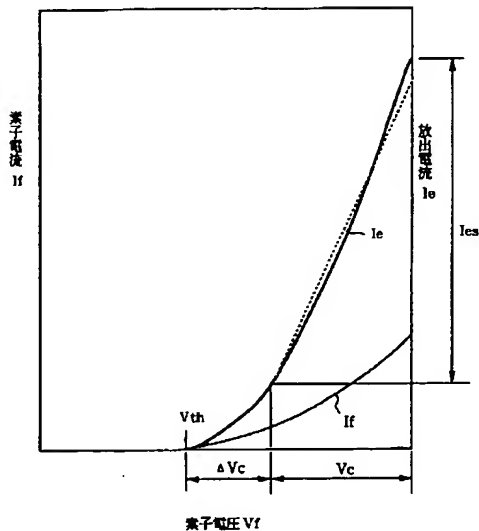
【図4】本発明の実施の形態2の画像表示装置の構成を示すブロック図である。

【図5】本実施の形態2の画像表示装置の動作を示すタイミング図である。

【図6】本発明の実施の形態の画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図7】本実施の形態の表示パネルのフェースプレート蛍光体配列を例示した平面図である。

【図1】



*【図8】本実施の形態で用いた平面型の表面伝導型放出素子の平面図(A)、断面図(B)である。

【図9】本実施の形態の平面型の表面伝導型放出素子の製造工程を示す図である。

【図10】本実施の形態における通電フォーミング処理の際の印加電圧波形を示す図である。

【図11】通電活性化処理の際の印加電圧波形(a)、放電電流Ieの変化(b)を示す図である。

10 【図12】本実施の形態の垂直型の表面伝導型放出素子の断面図である。

【図13】図12の垂直型の表面伝導型放出素子の製造工程を示す断面図である。

【図14】本実施の形態の表面伝導型放出素子の典型的な特性を示すグラフ図である。

【図15】本実施の形態で用いたマルチ電子源の基板の平面図である。

【図16】図15のA-A'の断面図である。

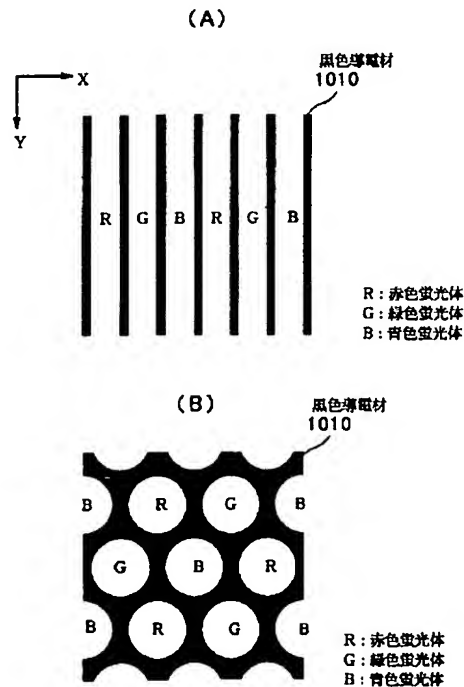
【図17】本発明の実施の形態の画像表示装置を用いた多機能画像表示装置のブロック図である。

20 【図18】従来知られた表面伝導型放出素子の一例を示す図である。

【図19】電子放出素子のマトリクス配線図である。

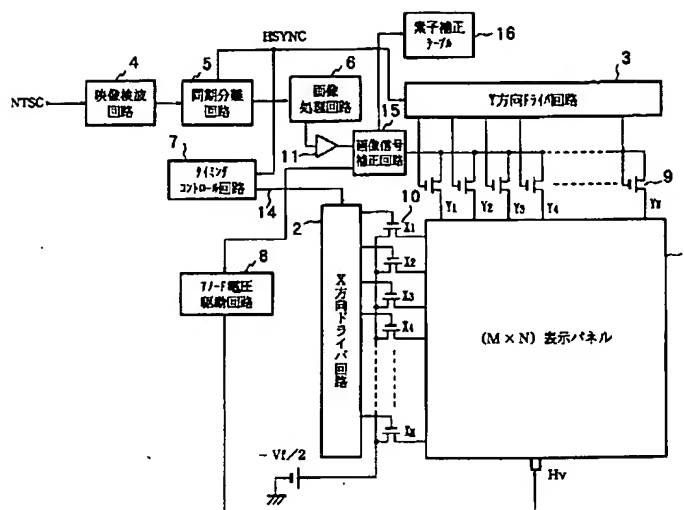
【図20】一般的な電子放出素子の電子放出特性を説明する図である。

【図7】

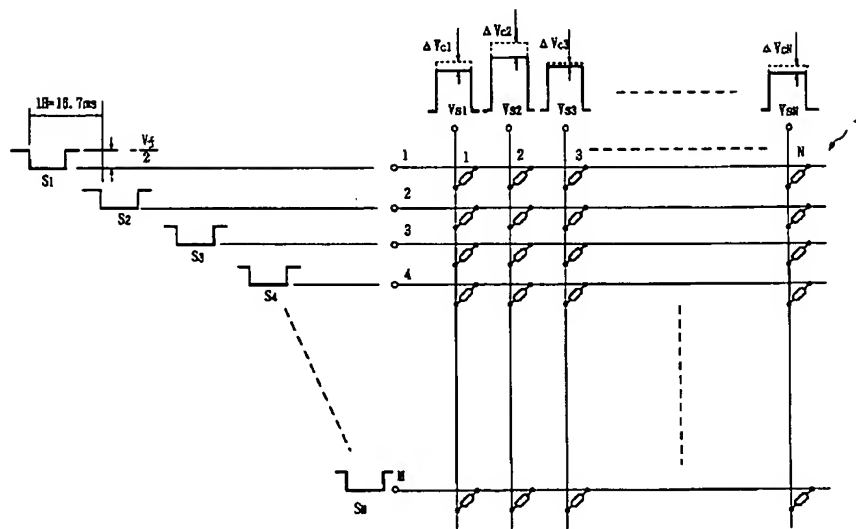


[illegible]

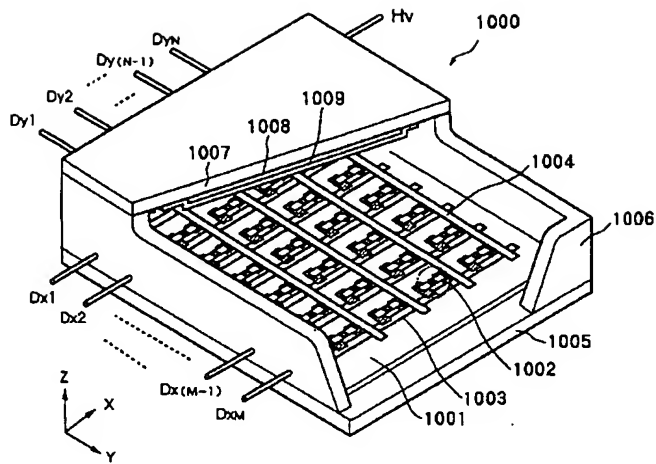
【図4】



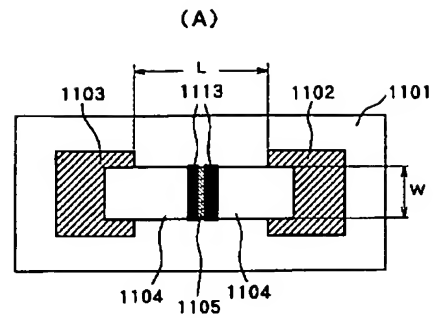
【圖5】



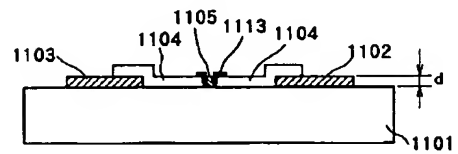
【図6】



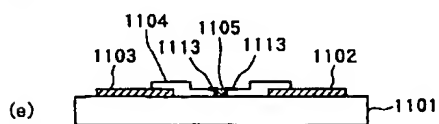
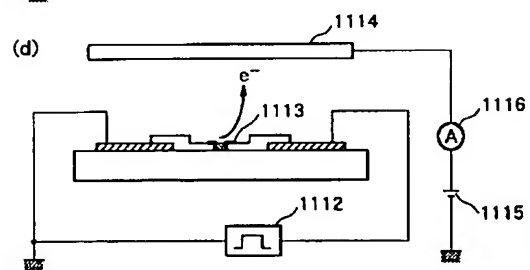
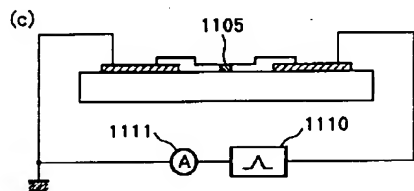
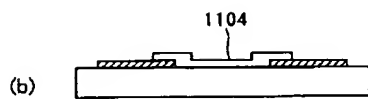
【図8】



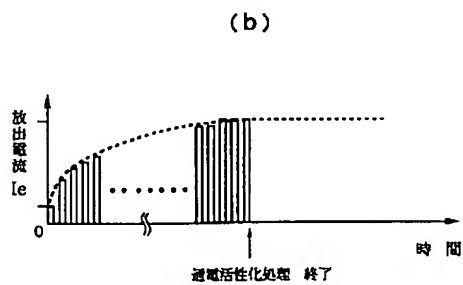
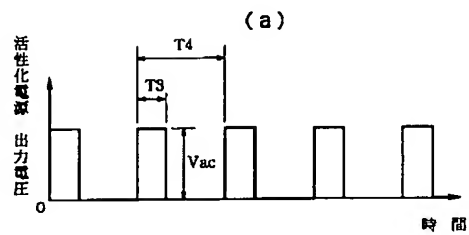
(B)



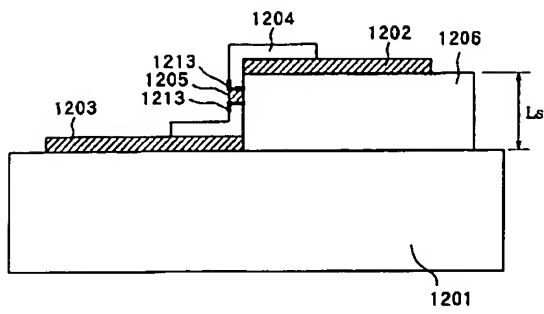
【図9】



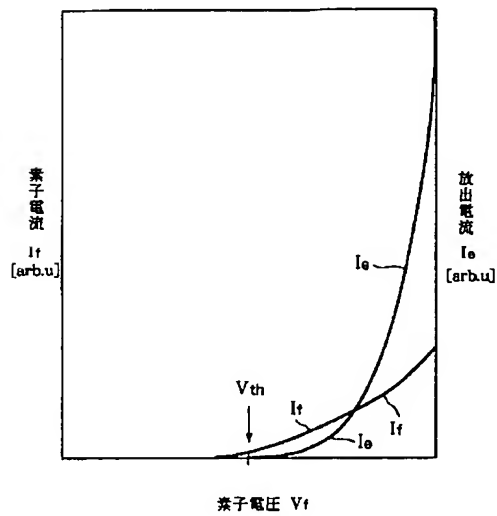
【図11】



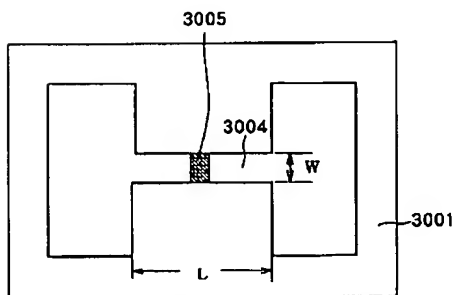
【図12】



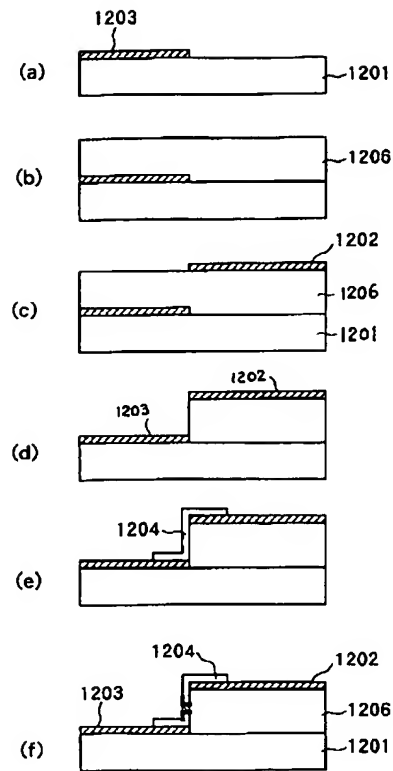
【図14】



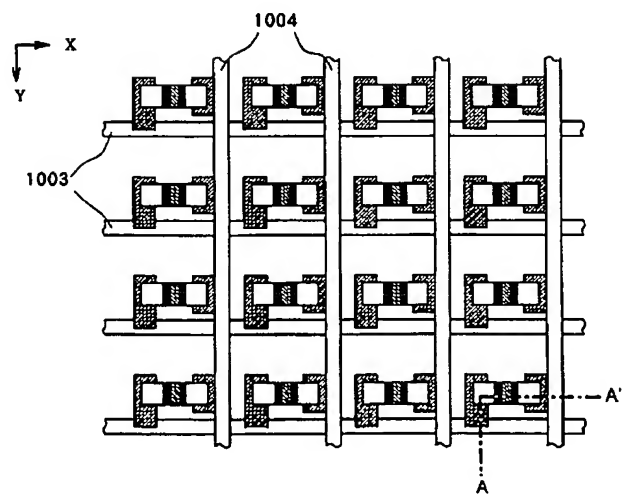
【図18】



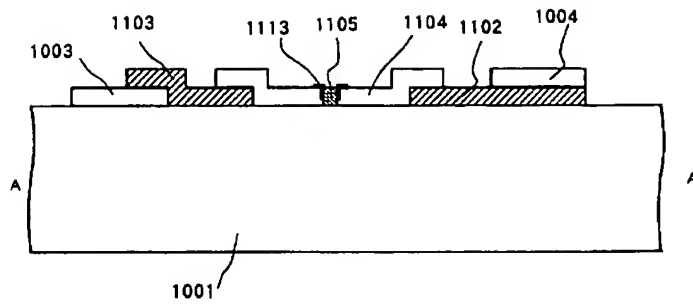
【図13】



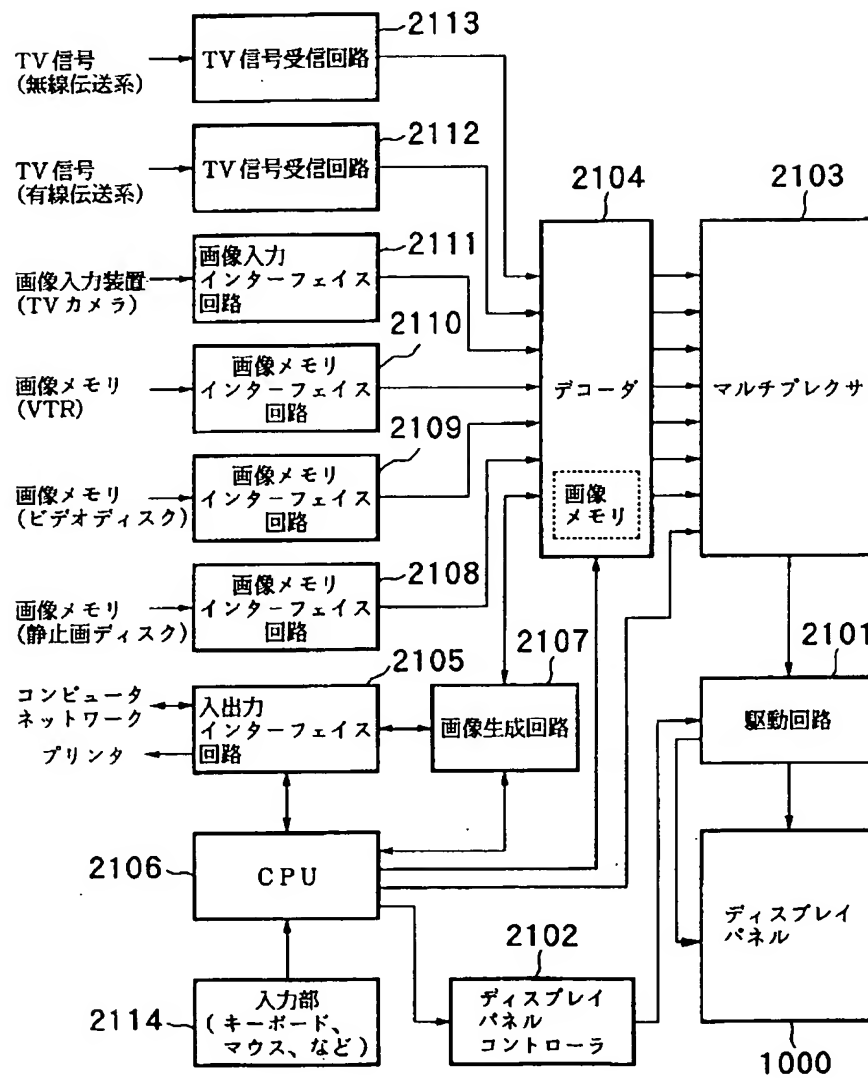
【図15】



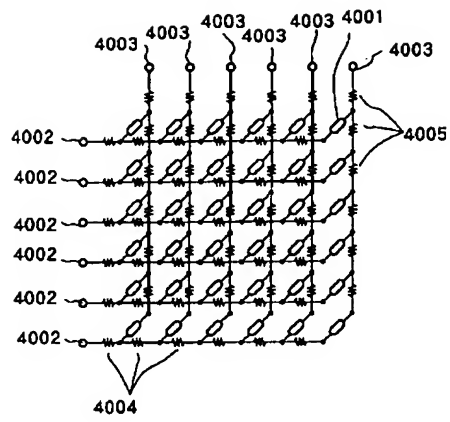
【図16】



【図17】



【図19】



【図20】

